

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 5月10日

出願番号
Application Number:

特願2001-139545

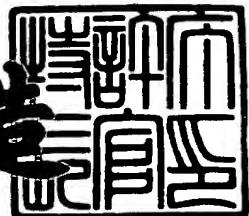
出願人
Applicant(s):

アライドテレシス株式会社

2001年 5月31日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 IP21403

【提出日】 平成13年 5月10日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/00 304

【発明者】

【住所又は居所】 東京都品川区西五反田 7-22-17 アライドテレシス株式会社内

【氏名】 香川 幸一

【特許出願人】

【識別番号】 396008347

【氏名又は名称】 アライドテレシス株式会社

【代理人】

【識別番号】 100097157

【弁理士】

【氏名又は名称】 桂木 雄二

【手数料の表示】

【予納台帳番号】 024431

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 テーブル管理方法及び装置

【特許請求の範囲】

【請求項1】 所定ビット数の入力データをそれより少ないビット数の縮退データに変換し、その縮退データをテーブルアクセスのためのアドレスとして使用するテーブル管理装置において、

前記所定ビット数と同じビット数の登録データを所定数だけそれぞれ格納可能であり、前記縮退データにより同時にアクセスされる複数個のテーブルと、

前記複数個のテーブルから前記縮退データに従ってそれぞれ読み出された登録データと前記入力データとを比較する複数の比較手段と、

前記複数の比較手段の比較結果に基づいて、前記入力データが前記複数個のテーブルに登録されているか否かを判定する判定手段と、

を有することを特徴とするテーブル管理装置。

【請求項2】 さらに、

前記入力データが前記複数個のテーブルに登録されていない場合、前記縮退データにより同時にアクセスされた複数個のテーブルの記憶スペースに空きスペースがあれば、前記入力データを新規データとして登録する制御手段を有することを特徴とする請求項1記載のテーブル管理装置。

【請求項3】 前記複数の比較手段の各々は、対応する登録データと前記入力データとを比較して一致及び不一致のいずれかを出力し、

前記判定手段は、前記複数の比較手段の比較結果のうち少なくとも1つが一致を示すときには前記入力データが前記複数のテーブルのいずれかに登録されていると判定し、それ以外は登録されていないと判定する、

ことを特徴とする請求項1または2記載のテーブル管理装置。

【請求項4】 複数のバンクに分割されたアドレステーブルを管理する方法において、

入力アドレスデータをハッシュ処理によりそれより少ないビット数のアドレスに変換し、

前記アドレスによって前記複数のバンクを同時にアクセスし、

前記複数個のバンクから前記アドレスに従ってそれぞれ読み出された登録アドレスと前記入力アドレスデータとを比較し、

比較結果に基づいて、前記入力アドレスデータが前記アドレステーブルに登録されているか否かを判定する、

ことを特徴とするアドレステーブル管理方法。

【請求項5】 さらに、

前記入力アドレスデータが前記アドレステーブルに登録されていない場合、前記アドレスにより同時にアクセスされた前記複数のバンクの記憶スペースに空きスペースがあるか否かを判定し、

前記空きスペースがあれば、当該空きスペースに前記入力アドレスデータを新規アドレスとして登録し、

前記空きスペースがなければ、前記ハッシュ処理を変更する、

ことを特徴とする請求項4記載のアドレステーブル管理方法。

【請求項6】 前記ハッシュ処理は、CRC32計算により得られる32ビットデータのうち、予め定められた位置の所望ビット数のデータを選択することにより実行されることを特徴とする請求項5記載のアドレステーブル管理方法。

【請求項7】 前記ハッシュ処理は、CRC32計算により得られる32ビットデータのうち、前記予め定められた位置とは別の位置にある前記所望ビット数のデータを選択することにより変更されることを特徴とする請求項6記載のアドレステーブル管理方法。

【請求項8】 入力MAC(メディアアクセスコントロール)アドレスをハッシュ関数により変換し、そのハッシュ出力をMACアドレステーブルをアクセスするためのアドレスとして使用するテーブル管理装置において、

前記MACアドレステーブルは複数のバンクに分割され、当該複数のバンクが前記ハッシュ出力をアドレスとして同時にアクセスされ、

前記複数のバンクから前記ハッシュ出力に従ってそれぞれ読み出された登録MACアドレスと前記入力MACアドレスとを比較する複数の比較手段と、

前記複数の比較手段の比較結果に基づいて、前記入力MACアドレスが前記MACアドレステーブルに登録されているか否かを判定する判定手段と、

を有することを特徴とするテーブル管理装置。

【請求項9】 前記複数の比較手段の各々は、対応する登録MACアドレスと前記入力MACアドレスとを比較して一致及び不一致のいずれかを出力し、

前記判定手段は、前記複数の比較手段の比較結果のうち少なくとも1つが一致を示すときには前記入力MACアドレスが前記MACアドレステーブルに登録されていると判定し、それ以外は登録されていないと判定する、

ことを特徴とする請求項8記載のテーブル管理装置。

【請求項10】 複数のテーブルを管理する方法において、
入力データをそれより少ないビット数の縮退データに変換し、
前記縮退データをアドレスとして前記複数のテーブルを同時にアクセスし、
前記複数のテーブルから前記縮退データに従ってそれぞれ読み出された登録データと前記入力データとを比較し、
比較結果に基づいて、前記入力データが前記複数のテーブルに登録されているか否かを判定する、

ことを特徴とするテーブル管理方法。

【請求項11】 さらに、
前記入力データが前記複数のテーブルに登録されていない場合、前記縮退データにより同時にアクセスされた複数のテーブルの記憶スペースに空きスペースがあるか否かを判定し、
空きスペースがあれば、前記入力データを新規データとして登録する、
ことを特徴とする請求項10記載のテーブル管理方法。

【請求項12】 複数のテーブルを管理するプログラムにおいて、
入力データをそれより少ないビット数の縮退データに変換するステップと、
前記縮退データをアドレスとして前記複数のテーブルを同時にアクセスするステップと、
前記複数のテーブルから前記縮退データに従ってそれぞれ読み出された登録データと前記入力データとを比較するステップと、
比較結果に基づいて、前記入力データが前記複数のテーブルに登録されているか否かを判定するステップと、

をコンピュータに実行させることを特徴とするテーブル管理プログラム。

【請求項13】 さらに、

前記入力データが前記複数のテーブルに登録されていない場合、前記縮退データにより同時にアクセスされた複数のテーブルの記憶スペースに空きスペースがあるか否かを判定するステップと、

空きスペースがあれば、前記入力データを新規データとして登録するステップと、

をコンピュータに実行させることを特徴とする請求項12記載のテーブル管理プログラム。

【請求項14】 複数のテーブルを管理するプログラムを記録した記録媒体において、

入力データをそれより少ないビット数の縮退データに変換するステップと、

前記縮退データをアドレスとして前記複数のテーブルを同時にアクセスするステップと、

前記複数のテーブルから前記縮退データに従ってそれぞれ読み出された登録データと前記入力データとを比較するステップと、

比較結果に基づいて、前記入力データが前記複数のテーブルに登録されているか否かを判定するステップと、

をコンピュータに実行させるためのプログラムを記録した記録媒体。

【請求項15】 さらに、

前記入力データが前記複数のテーブルに登録されていない場合、前記縮退データにより同時にアクセスされた複数のテーブルの記憶スペースに空きスペースがあるか否かを判定するステップと、

空きスペースがあれば、前記入力データを新規データとして登録するステップと、

をコンピュータに実行させるためのプログラムを記録した請求項14記載の記録媒体。

【請求項16】 複数のテーブルとプロセッサとからなるコンピュータシステムにおいて、

前記プロセッサに実行させるプログラムが、
入力データをそれより少ないビット数の縮退データに変換するステップと、
前記縮退データによって前記複数のテーブルを同時にアクセスするステップと
、
前記複数のテーブルから前記縮退データに従ってそれぞれ読み出された登録データと前記入力データとを比較するステップと、
比較結果に基づいて、前記入力データが前記複数のテーブルに登録されているか否かを判定するステップと、
を有することを特徴とするコンピュータシステム。

【請求項17】 前記プログラムは、さらに、
前記入力データが前記複数のテーブルに登録されていない場合、前記縮退データにより同時にアクセスされた複数のテーブルの記憶スペースに空きスペースがあるか否かを判定するステップと、
空きスペースがあれば、前記入力データを新規データとして登録するステップと、
を有することを特徴とする請求項16記載のコンピュータシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はテーブルの管理技術に係り、特に入力データより少ないビット数に縮退させたデータを用いてアクセスを行うテーブル管理方法及び管理装置に関する。

【0002】

【従来の技術】

テーブル検索にハッシュ (H a s h) 法を用いることはよく知られている。たとえば、標準的な L A N (Local-Area Network) ではすべてのネットワークデバイスにユニークな M A C (Media Access Control) アドレスが割り付けられているが、48ビットの M A C アドレスをハッシュ法を用いて検索する方法が知られている。

【0003】

図4は、従来のMACアドレステーブル管理方法を示すブロック図である。48ビットのMACアドレスはハッシュ関数10によって10ビットデータに変換され、それをエントリテーブル11のアドレスデータとして用いる。

【0004】

エントリテーブル11は、ここでは1024個のエントリからなり、1つのエントリは、1つのMACアドレス(48ビット)、当該MACアドレスが属するスイッチのポート番号(4ビット)、当該MACアドレスへのアクセス履歴を示すアクセスピット(1ビット)、および登録の有効/無効を示すバリッドビット(1ビット)からなる。ただし、ポート番号のビット数はスイッチのポート数に依存する。ここでは最大16ポートを想定して4ビットとしている。

【0005】

したがって、ハッシュ関数10によって得られた10ビットのアドレスに従ってエントリテーブル11から1つのエントリが決定され、その登録MACアドレスが比較器12へ読み出される。比較器12は、登録MACアドレスと入力したMACアドレスとを比較して、一致/不一致を判定する。

【0006】

しかしながら、周知のように、ハッシュ関数によって48ビットデータが10ビットデータに縮退しているために、異なる入力MACアドレスがエントリテーブル11の同一アドレスにマッピングされる場合が発生する。この衝突の発生頻度はハッシュ関数の選択に依存するから、衝突が生じた場合には、互いに別の値が生成されるようにハッシュ関数を変更する再ハッシュが行われる。

【0007】

【発明が解決しようとする課題】

しかしながら、再ハッシュが生じた場合には、それまで記憶していたエントリテーブル11の内容を全て無効にする必要があり、MACアドレス学習のパフォーマンスの点で大きな損失である。したがって、いかにして再ハッシュの発生を抑えるかがハッシュメカニズムを考える上で重要な課題である。

【0008】

また、ハードウェア量を抑えて効率的なハッシュ検索を可能にすることも重要な課題である。

【0009】

【課題を解決するための手段】

本発明によるテーブル管理装置は、所定ビット数の入力データをそれより少ないビット数の縮退データに変換し、その縮退データをテーブルアクセスのためのアドレスとして使用するものであり、前記所定ビット数と同じビット数の登録データを所定数だけそれぞれ格納可能であり、前記縮退データにより同時にアクセスされる複数個のテーブルと、前記複数個のテーブルから前記縮退データに従ってそれぞれ読み出された登録データと前記入力データとを比較する複数の比較手段と、前記複数の比較手段の比較結果に基づいて、前記入力データが前記複数個のテーブルに登録されているか否かを判定する判定手段と、を有することを特徴とする。

【0010】

このように、複数のテーブルが縮退データにより同時にアクセスされ、それぞれ読み出された登録データが入力データと比較されることで登録済みか否かが判定される。複数の登録データが同時にアクセスされて読み出されるために、極めて効率的なサーチを行うことができる。

【0011】

さらに、本発明によれば、前記入力データが前記複数個のテーブルに登録されていない場合、前記縮退データにより同時にアクセスされた複数個のテーブルの記憶スペースに空きスペースがあれば、前記入力データを新規データとして登録する制御手段を有することを特徴とする。

【0012】

このように新規データを登録することで、縮退データにより同時にアクセスされた複数個のテーブルの記憶スペースに複数個の異なる登録データを格納することができる。言い換えれば、1つの縮退データに複数の異なる登録データを対応づけることが可能となり、空きスペースがある限り再ハッシュが発生しない。

【0013】

本発明による複数のテーブルを管理する方法は、入力データをそれより少ないビット数の縮退データに変換し、前記縮退データをアドレスとして前記複数のテーブルを同時にアクセスし、前記複数のテーブルから前記縮退データに従ってそれぞれ読み出された登録データと前記入力データとを比較し、比較結果に基づいて、前記入力データが前記複数のテーブルに登録されているか否かを判定する、ことを特徴とする。

【0014】

本発明の別の観点によれば、複数のバンクに分割されたアドレステーブルを管理する方法は、入力アドレスデータをハッシュ処理によりそれより少ないビット数のアドレスに変換し、前記アドレスによって前記複数のバンクを同時にアクセスし、前記複数個のバンクから前記アドレスに従ってそれぞれ読み出された登録アドレスと前記入力アドレスデータとを比較し、比較結果に基づいて、前記入力アドレスデータが前記アドレステーブルに登録されているか否かを判定する、ことを特徴とする。

【0015】

さらに、前記入力アドレスデータが前記アドレステーブルに登録されていない場合、前記アドレスにより同時にアクセスされた前記複数のバンクの記憶スペースに空きスペースがあるか否かを判定し、前記空きスペースがあれば、当該空きスペースに前記入力アドレスデータを新規アドレスとして登録し、前記空きスペースがなければ、前記ハッシュ処理を変更する、ことを特徴とする。

【0016】

ハッシュ処理が変更されるのは、前記アドレスにより同時にアクセスされた前記複数のバンクの記憶スペースに空きスペースがなくなった場合に限られる。したがって、再ハッシュの発生確率は従来に比べて大幅に低減する。

【0017】

【発明の実施の形態】

図1は本発明によるアドレステーブル管理装置の一実施形態を示すブロック図である。本実施形態におけるエントリテーブル102は4つのバンクB1～B4に分割され、各バンクに最大256エントリを格納できる。従って、エントリテ

ーブル102は合計 $256 \times 4 = 1024$ エントリを格納可能である。各エントリは、従来と同様に、登録MACアドレス、ポート番号、アクセスピット、およびバリッドビットからなる（図3参照）。

【0018】

ハッシュ関数101は、48ビットMACアドレスに対してCRC32の計算を行い、それにより得られる32ビット出力のうち所定位置の8ビットを選択してエントリテーブル102へ出力する。エントリテーブル102のバンクB1～B4は、ハッシュ関数101の8ビット出力をアドレスビットとして同時に入力する。したがって、1つのハッシュ出力（アドレスビット）によって、アドレス指定されたバンクB1～B4の記憶領域を同時にアクセスすることができる。

【0019】

バンクB1～B4のアクセスされた記憶領域にそれぞれエントリが存在すれば、それらの登録MACアドレスを同時に読み出す。なお、アドレスビット数を8としたのは、各バンクの最大エントリ数が256であることによる。たとえば、1024エントリのテーブルを8等分して、各バンクの最大エントリ数を128にした場合には、ハッシュ関数101の出力を7ビットにすればよい。

【0020】

比較器C1～C4は、読み出された4個の登録MACアドレスと入力MACアドレスとを比較し、それぞれの比較結果（一致／不一致）をOR回路103へ出力する。OR回路103は、4つの比較結果のうち少なくとも1つの比較結果が一致を検出しているれば、一致検出をプロセッサ104へ通知する。

【0021】

プロセッサ104はCPU等のプログラム制御プロセッサあるいは専用ハードウェア回路であり、エントリテーブル102を管理する。プロセッサ104は、OR回路103からの検出結果（一致／不一致）をモニタしながら、次に述べるようなバンクB1～B4に対する登録／学習処理及び検索処理を実行する。

【0022】

（登録／学習処理）

エントリテーブル102の各バンクには、いくつかのMACアドレスがすでに

登録されているものとする。この状態で新規のMACアドレスがバンクB1～B4にどのように登録されるかを図2及び図3を参照しながら説明する。

【0023】

図2は、本実施形態におけるMACアドレステーブルの登録／学習動作を説明するためのフローチャートである。

【0024】

図2において、あるパケットのソースMACアドレスを入力し（ステップS201）、上述したハッシュ関数101により8ビットアドレスを計算する（ステップS202）。その8ビットアドレスにより指定されたバンクB1～B4の記憶領域を同時にアクセスし、MACアドレスが有効に登録されていれば、それを読み出す（ステップS203）。そして、比較器C1～C4により、読み出された登録MACアドレスとソースMACアドレスとが比較され、それぞれの比較結果（一致／不一致）がOR回路103へ出力される。上述したように、4つの比較結果の少なくとも1つが一致を示しているか、あるいは全部不一致であるか、によってOR回路103は一致／不一致を検出する（ステップS104）。

【0025】

OR回路103によって一致が検出された場合は（ステップS204のYES）、入力したソースMACアドレスは既にエントリテーブル102に登録済みであるから、学習処理は行わない。

【0026】

OR回路103によって不一致が検出された場合は（ステップS204のNO）、現在アクセスされているバンクB1～B4の4つの記憶スペースに空きがあるか否かを各バリッドビットを参照することで判定する（ステップS205）。もし空きスペースがあれば（ステップS205のYES）、そこに学習処理として新規にMACアドレスを登録する（ステップS206）。

【0027】

4つの記憶スペースが全て登録済みである場合（ステップS205のNO）、再ハッシュが実行される（ステップS207）。たとえば、全てのバリッドビットをクリアし、ハッシュ関数101において32ビットのCRC32出力のうち

異なる位置の8ビットを選択することで、再ハッシュが実行される。

【0028】

図3は新規アドレス登録動作を説明するためのエントリテーブルの模式図である。ソースMACアドレスのハッシュ関数値である8ビットアドレスによってバンクB1～B4の記憶スペース301がアクセスされているものとする。ここでは、バンクB2およびB4には既にアドレスAaおよびAbが登録されているが、バンクB1およびB3は空きスペース302および303となっている。

【0029】

ソースMACアドレスAcが既に登録されているアドレスAaおよびAbのいずれとも異なる場合には（不一致：図2におけるステップS204のNO）、このソースMACアドレスAcは、たとえばバンクB1のスペース302に新規アドレスとして登録される。同様にして、ソースMACアドレスAdが同じハッシュ出力により同じ記憶スペース301にアドレス指定されたとしても、それが既に登録されているアドレスAa、Ab、Acのいずれとも異なる場合には、バンクB3のスペース303に新規アドレスとして登録される。こうして、同じハッシュ出力値に対して、ここでは4個の異なるアドレスを登録することができる。

【0030】

再ハッシュが発生するのは、さらにソースMACアドレスAeが同じハッシュ出力により同じ記憶スペース301にアドレス指定され、既に空きスペースが存在しない場合のみである。すなわち、本実施形態では、同じハッシュ関数値に対して、4個まで確実に登録することができ、再ハッシュの頻度を低下させることができる。

【0031】

また、本実施形態では、4個の登録MACアドレスを同時に読み出し4個の比較器C1～C4によりそれぞれソースMACアドレスと比較するために、高速学習が可能となる。

【0032】

（検索処理）

あるパケットのデスティネーションMACアドレスを入力し、上述したハッシ

ユ関数101により8ビットアドレスを計算する。その8ビットアドレスにより指定されたバンクB1～B4の記憶領域を同時にアクセスし、MACアドレスが有効に登録されていれば、それを読み出す。そして、比較器C1～C4により、読み出された登録MACアドレスとデスティネーションMACアドレスとが比較され、それぞれの比較結果（一致／不一致）がOR回路103へ出力される。上述したように、4つの比較結果の少なくとも1つが一致を示しているか、あるいは全部不一致であるか、によってOR回路103は一致／不一致を検出する。

【0033】

一致が検出されたならば、プロセッサ104は、当該登録MACアドレスのポート番号を読み出し、それを当該パケットの転送先とする。不一致が検出されたならば、プロセッサ104は当該パケットをブロードキャストパケットとして全てのスイッチポートに転送する。

【0034】

なお、本実施形態では、エントリテーブル102を4分割したが、任意の数Nに分割しても良い。Nを4より大きな数にすれば、同じハッシュ関数値に対して多くの異なるアドレスを登録することができ、再ハッシュの発生確率をさらに下げることができる。なお、バンク分割することで、比較器を同じ数だけ用意する必要があるが、比較器は簡単な構成であるから、システム全体としては大きな負担にはならない。

【0035】

本発明によるアーキテクチャは、MACアドレステーブルの管理だけでなく、テーブルサーチおよびデータ登録一般に適用可能であり、またハッシュ関数も任意のものを使用することができる。

【0036】

【発明の効果】

以上詳細に説明したように、本発明によるテーブル管理方法及び装置は、複数のテーブルが縮退データにより同時にアクセスされ、それぞれ読み出された登録データが入力データと比較されることで登録済みか否かが判定される。複数の登録データが同時にアクセスされて読み出されるために、極めて効率的なサーチを

行うことができる。

【0037】

さらに、本発明によれば、前記入力データが前記複数個のテーブルに登録されていない場合、前記縮退データにより同時にアクセスされた複数個のテーブルの記憶スペースに空きスペースがあれば、前記入力データを新規データとして登録する。したがって、縮退データにより同時にアクセスされた複数個のテーブルの記憶スペースに複数個の異なる登録データを格納することができる。言い換れば、1つの縮退データに複数の異なる登録データを対応づけることが可能となり、再ハッシュ発生確率を下げることができる。

【0038】

また、テーブルをバンク分割することで、比較手段を同じ数だけ用意する必要があるが、比較手段自体は簡単な構成であるから、システム全体としては大きなハードウェア量の増大にはならない。

【図面の簡単な説明】

【図1】

本発明によるアドレステーブル管理装置の一実施形態を示すブロック図である。

【図2】

本実施形態におけるMACアドレステーブルの登録／学習動作を説明するためのフローチャートである。

【図3】

新規アドレス登録動作を説明するためのエントリテーブルの模式図である。

【図4】

従来のMACアドレステーブル管理方法を示すブロック図である。

【符号の説明】

101 ハッシュ関数

102 エントリテーブル

103 OR回路

104 プロセッサ

特2001-139545

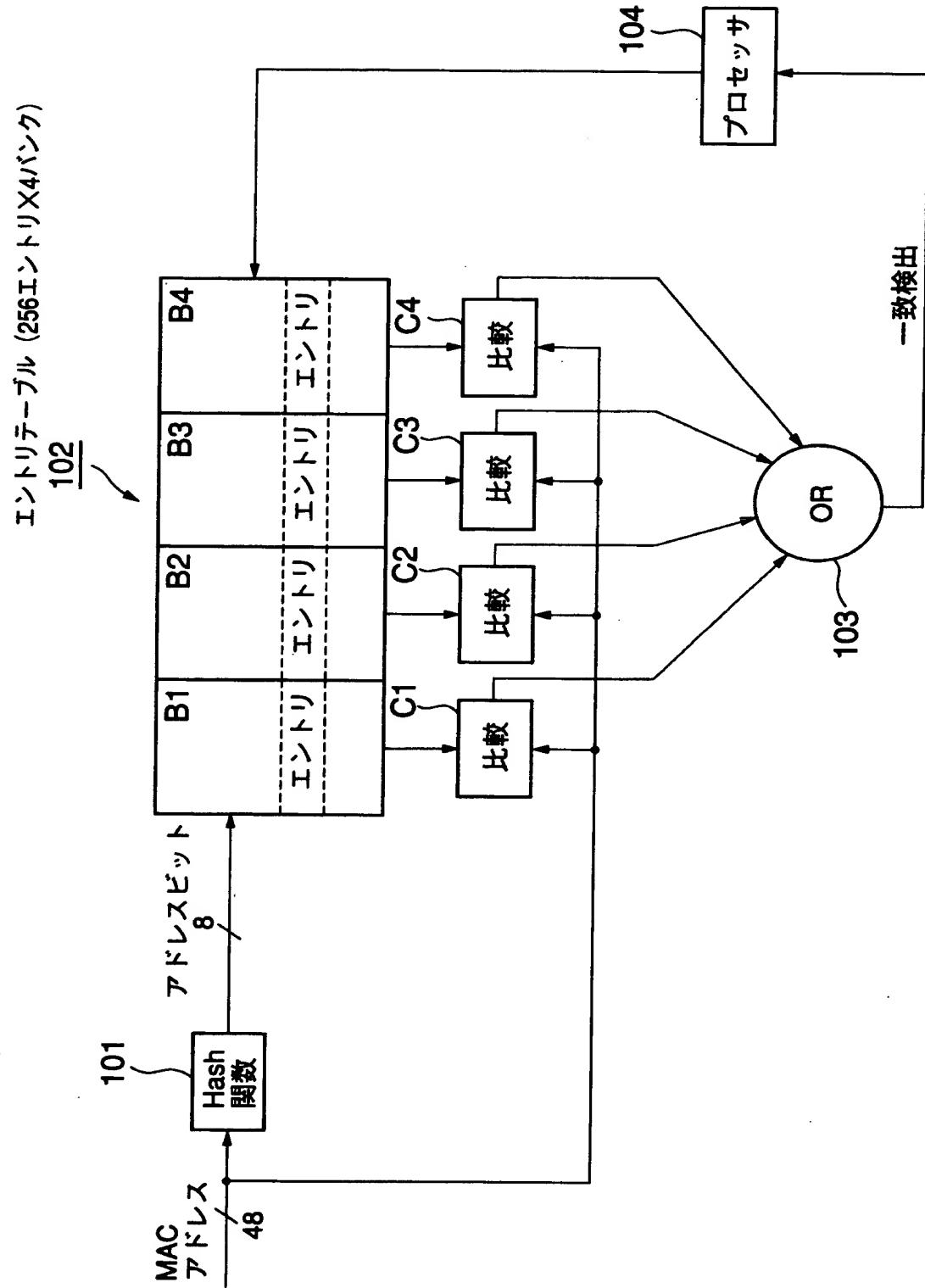
B1～B4 バンク

C1～C4 比較器

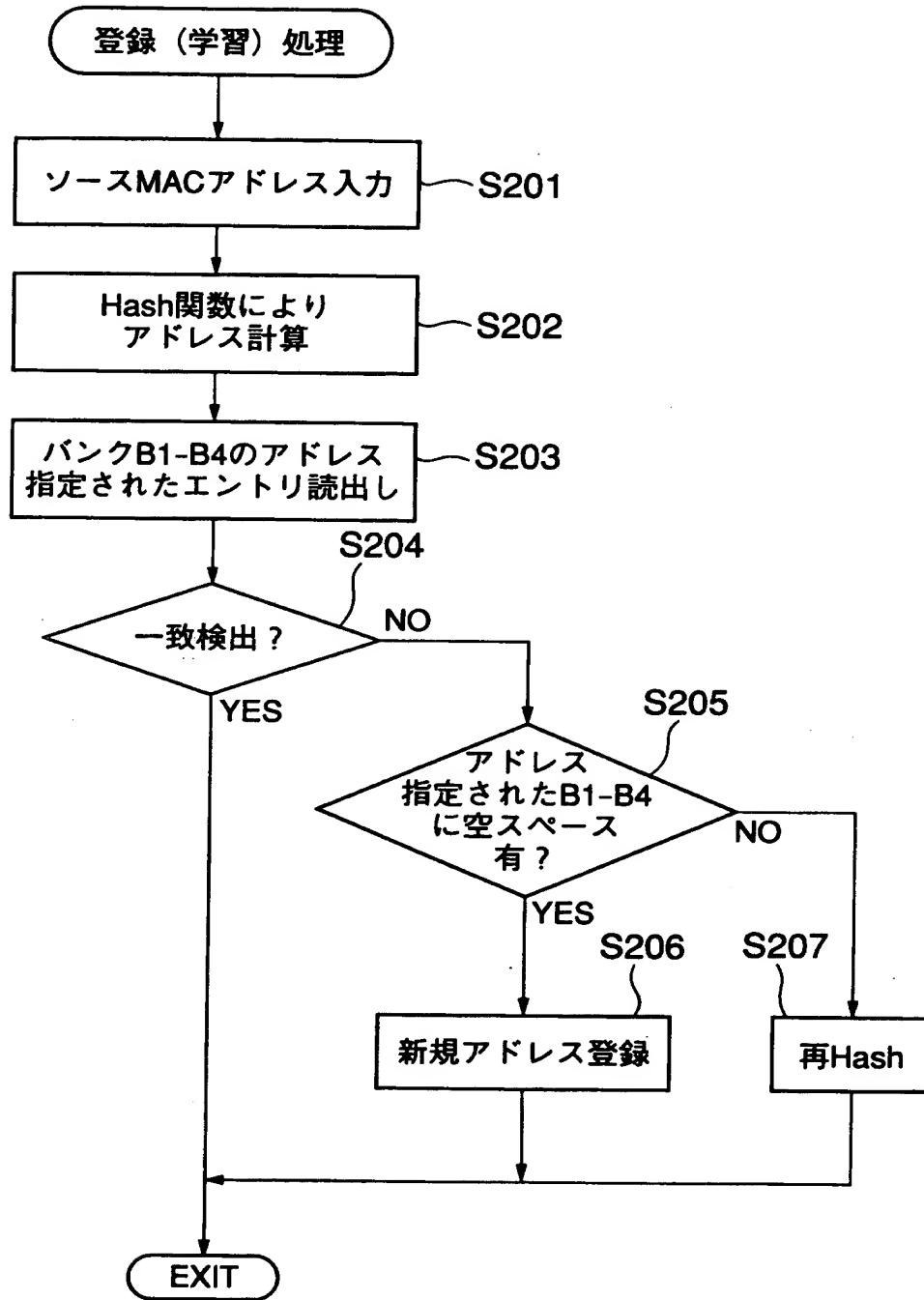
【書類名】

図面

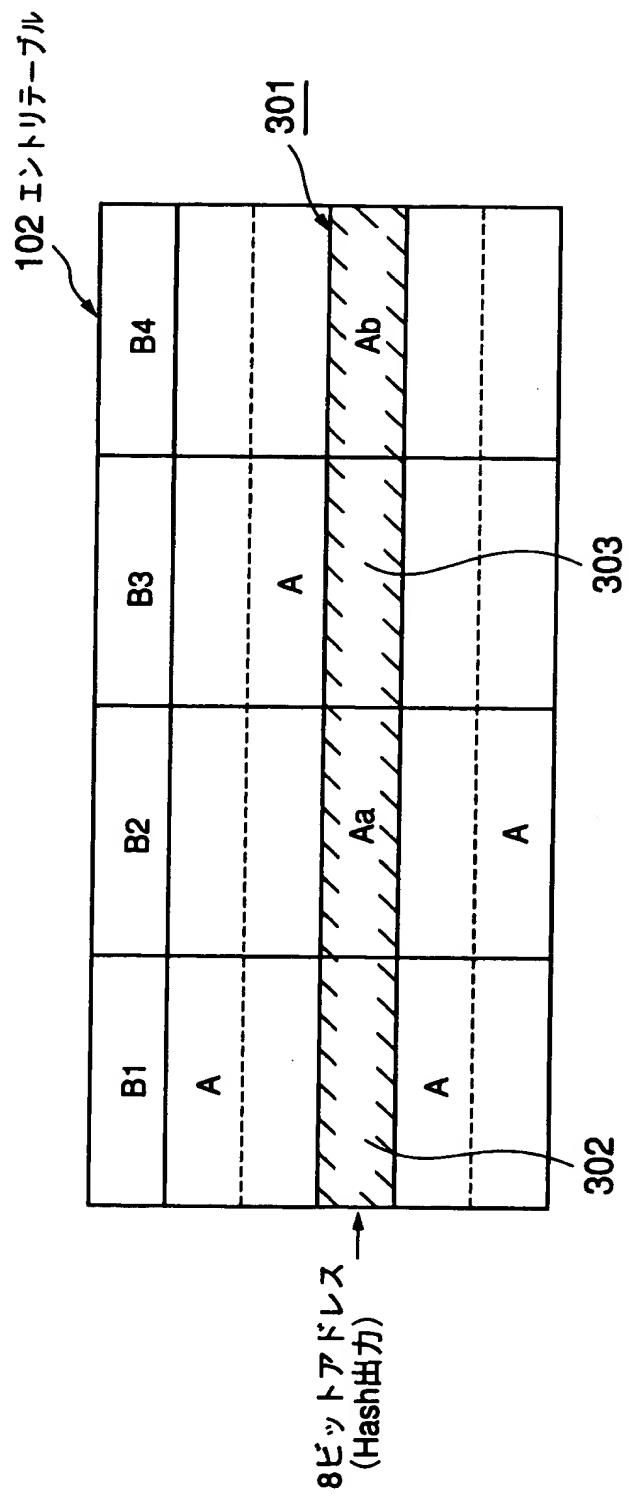
【図1】



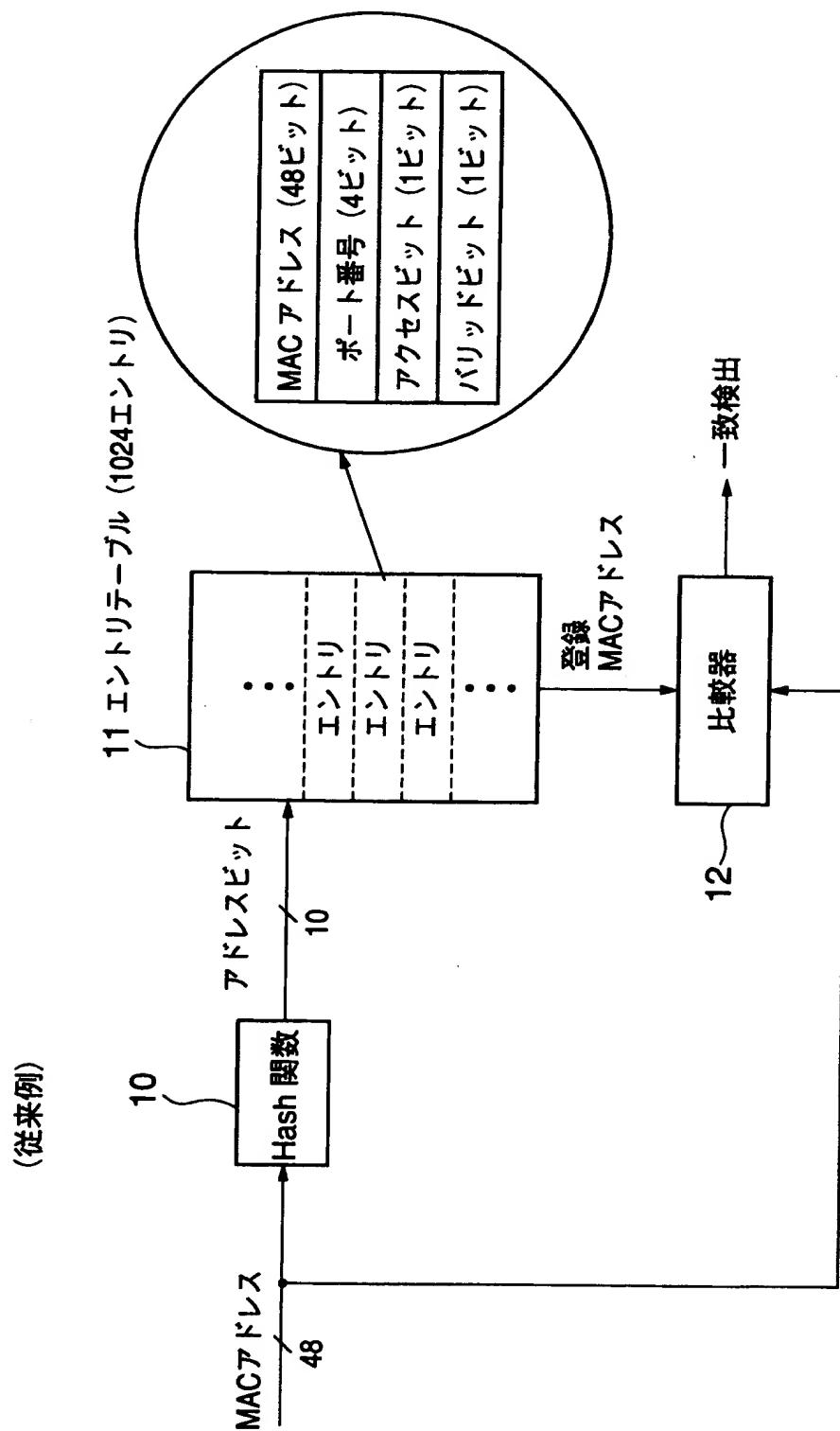
【図2】



【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 効率的なハッシュ検索を可能にし、再ハッシュ発生確率の低減させるテーブル管理技術を提供する。

【解決手段】 MACアドレステーブルを複数のバンクに分割し、当該複数のバンクがハッシュ出力をアドレスとして同時にアクセスされる。複数のバンクからそれぞれ読み出された登録MACアドレスと入力MACアドレスとを比較し、少なくとも1つの比較結果が一致を示すときに、入力MACアドレスはMACアドレステーブルに登録されていると判定され、それ以外は新規MACアドレスと判定される。同時アクセスされた複数のバンクの記憶スペースに空きがあれば、同一ハッシュ出力に対して複数のMACアドレスを対応づけて登録することができる。

【選択図】 図1

出願人履歴情報

識別番号 [396008347]

1. 変更年月日 2000年10月24日

[変更理由] 住所変更

住 所 東京都品川区西五反田7-22-17 TOCビル
氏 名 アライドテレシス株式会社